

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 200106

(43) 公開日 平成7年(1995)8月4日

(51) Int. Cl.⁶

G 0 6 F 1/26
1/32

識別記号

庁内整理番号

F I

技術表示箇所

G 0 6 F 1/00 3 3 4 A
3 3 2 B

審査請求 未請求 請求項の数 3

O L

(全 5 頁)

(21) 出願番号 特願平5-337752

(22) 出願日 平成5年(1993)12月28日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 上原 利之

尼崎市塚口本町8丁目1番1号 三菱電機株
式会社通信機製作所内

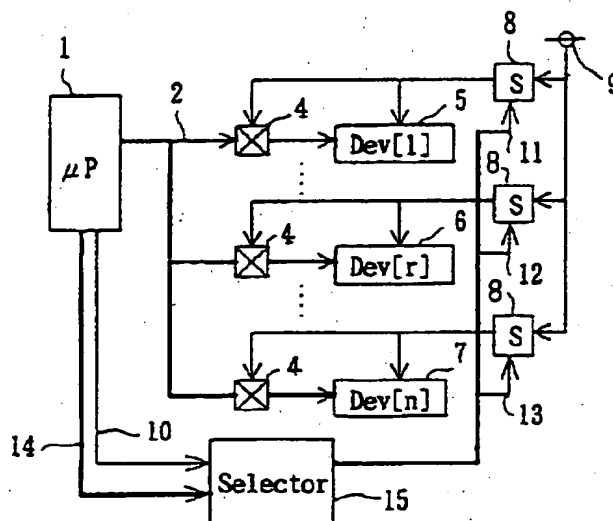
(74) 代理人 弁理士 高田 守

(54) 【発明の名称】 電源制御回路

(57) 【要約】 (修正有)

【構成】 プロセッサの周辺デバイス群に対する電源供給において、プロセッサがアクセスしている状況に応じて電源供給及び停止を行う。また、プロセッサの動作モードに対応してプロセッサが指示する周辺デバイスにのみ電源供給を行う。このため、プロセッサのアクセスしている周辺デバイスを選定するデコーダ回路又はプロセッサの指示する周辺デバイスを選択するセレクタ回路、及び周辺デバイス電源供給選択信号を入力する各周辺デバイスの電源スイッチを操作する。

【効果】 プロセッサの周辺デバイス群に対する電源供給を任意に限定又は選定でき、プロセッサの周辺デバイス回路の低消費電力化を簡易な回路構成で実現できる。



【特許請求の範囲】

【請求項1】 プロセッサに接続された周辺装置に電源供給を行う電源制御回路において、
上記電源制御回路は、

プロセッサから発せられるコマンドデータに基づいてアクセス対象とする周辺装置の選択信号を生成する選択信号生成手段と、

上記選択信号生成の結果得られた選択信号を入力とし、該選択信号の状態に応じて供給電源から該指定周辺装置に供給される電源をon、またはoff制御するための電源スイッチ手段と、を備えたことを特徴とする電源制御回路。

【請求項2】 プロセッサに接続された周辺装置に電源供給を行う電源制御回路において、
上記電源制御回路は、

プロセッサから発せられるコマンドデータに基づいてアクセス対象とする周辺装置の選択信号を生成する選択信号生成手段と、

周辺装置に対し電源供給のon、offタイミング信号を生成する電源供給タイミング生成手段と、

周辺装置を指定するための上記選択信号と上記電源供給タイミング信号を入力とし、指定装置に対する電源供給のon、off制御信号を生成する電源制御回路手段と、

上記電源制御回路手段の出力制御信号を入力とし該出力制御信号の状態に応じて供給電源から該指定周辺装置に供給される電源をon、またはoff制御するための電源スイッチ手段と、を備えたことを特徴とする電源制御回路。

【請求項3】 プロセッサに接続された周辺装置に電源供給を行う電源制御回路において、

上記電源制御回路は、

プロセッサから発せられるコマンドデータを受けて周辺装置に対する電源供給群を指定するためのパターンを選択出力する少なくとも1個のパターンジェネレータ生成手段と、

上記パターンジェネレータ生成手段の出力信号を入力とし指定装置群に対する電源供給on、off制御信号を生成するための指定パターン合成回路手段と、

上記指定パターン合成回路手段の出力制御信号を入力とし該出力制御信号の状態に応じて供給電源から該指定周辺装置に供給される電源をon、またはoff制御するための電源スイッチ手段と、を備えたことを特徴とする電源制御回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明はプロセッサ制御により周辺デバイスへの電源供給をコントロールする電源制御回路に関するものである。

【0002】

【従来の技術】 図6は従来例における電源制御回路のブロック図である。図において1はプロセッサ、2はプロセッサのシステムバス、4はプロセッサのシステムバスのドライバ、5～7はプロセッサのシステムバスに接続される周辺デバイスDev[1]～Dev[r]～Dev[n] ($1 \leq r \leq n$: nは正の整数)、9は供給電源である。

【0003】 次に動作について説明する。図6において、プロセッサ1はプログラムからの指示によって指定されたデバイスをアクセスする為に、デバイス選択に必要とされるコマンドをリード・ライトサイクルに基づいて、システムバス2経由でバスドライバ4に直結した周辺デバイス5～7に対し送出することによって、上記プログラムで指定されたデバイスに対するアクセス動作を実行していた。

【0004】 上記プロセッサの動作中、供給電源9はプロセッサの周辺デバイスに対するデータアクセスとは無関係に常時周辺デバイスDev[1]～Dev[r]～Dev[n] に対して電源電流を連続して供給していた。

【0005】

【発明が解決しようとする課題】 従来の電源制御回路は以上のように構成されていたので、プロセッサの各種動作モードとは無関係に常時電源が周辺デバイスに供給され続けるため、電力が大量に消費されるという問題点があった。

【0006】 この発明は上記のような問題点を解消するためになされたもので、プロセッサの各種動作モードに対応して周辺デバイスに対する電源の供給、停止制御を行うことにより、無駄な電力消費を抑えた、効率のよい電源制御回路を提供することを目的とする。

【0007】

【課題を解決するための手段】 この発明に係わる電源制御回路は、プロセッサから発せられるコマンドデータに基づいてアクセス対象とする周辺装置の選択信号を生成する選択信号生成手段と、上記選択信号生成の結果得られた選択信号を入力とし、該選択信号の状態に応じて供給電源から該指定周辺装置に供給される電源をon、またはoff制御するための電源スイッチ手段を備えたものである。また、この発明に係わる電源制御回路は、プロセッサから発せられるコマンドデータに基づいてアクセス対象とする周辺装置の選択信号を生成する選択信号生成手段と、周辺装置に対し電源供給のon、offタイミング信号を生成する電源供給タイミング生成手段と、周辺装置を指定するための上記選択信号と電源供給タイミング信号を入力とし、指定装置に対する電源供給のon、off制御信号を生成する電源制御回路手段と、上記電源制御回路手段の出力信号を入力とし該出力信号の状態に応じて供給電源から該指定周辺装置に供給される電源をon、またはoff制御するための電源ス

イッチ手段を備えるようにしたものである。さらに、この発明に係わる電源制御回路は、プロセッサから発せられるコマンドデータを受けて周辺装置に対する電源供給群を指定するパターンを選択出力する少なくとも1個のパターンジェネレータ生成手段と、上記パターンジェネレータ生成手段の出力信号を入力とし指定装置群に対する電源供給 on、off 制御信号を生成する指定パターン合成回路手段と、上記指定パターン合成回路手段の出力信号を入力とし該出力信号の状態に応じて供給電源から該指定周辺装置に供給される電源を on、または off 制御するための電源スイッチ手段を備えるようにしたものである。

【0008】

【作用】この発明に係わる電源制御回路は、プロセッサからのコマンドデータに基づいて周辺デバイスに電源を供給する電源スイッチのオン/オフ制御をするように動作するので、プロセッサがアクセス対象とする周辺デバイスのみに電源供給を行うことができる。また、プロセッサからのコマンドデータによってアクセス対象とする任意の周辺デバイスを選択し、これとは独立にプロセッサからの指示によって上記指定の周辺デバイスに対する電源オン/オフのタイミング制御を行うようにした。さらに、複数のパターンジェネレータの組合せ出力結果によって、周辺デバイスを任意に指定できる様にしたものである。

【0009】

【実施例】

実施例 1. 以下、この発明の一実施例を図について説明する。図 1 において、1 はプロセッサ、2 はプロセッサのシステムバス、3 はシステムバスからのアドレスをデコードしアクセス中の周辺デバイス選択信号のみをアクティブ状態にするデコーダ、4 はプロセッサのシステムバスのドライバ、5～7 はプロセッサのシステムバスに接続される周辺デバイス Dev [1] ～ Dev [r] ～ Dev [n] ($1 \leq r \leq n$: n は正の整数)、8 は電源スイッチ、9 は供給電源、10 はプロセッサからのイネーブル信号、11～13 は周辺デバイス電源供給用の選択信号である。

【0010】次に動作について説明する。ここではプロセッサが周辺デバイス 6 を選択する場合を想定して説明する。まず、プロセッサ 1 はシステムバス 2 およびバスドライバ 4 を経由して周辺デバイス群 5～7 の中でアクセスすべき周辺デバイスを指定するため必要なコマンドデータを送出する。次いで、デコーダ 3 はプロセッサ 1 からのイネーブル信号 10 を受け付けるとプロセッサ初期設定後の CPU ライトサイクルの開始時に周辺デバイス電源供給用選択信号をアクティブ (オン) 状態にする。即ち、この場合においては、周辺デバイス Dev [r] 6 の電源スイッチ 8 に対する周辺デバイス選択信号 12 をアクティブ状態とし、周辺デバイス Dev

[r] 6 を除く Dev [1] 5 ～ Dev [n] 7 の周辺デバイスの電源スイッチ 8 に対する選択信号 11～13 をノンアクティブ状態にする。この結果、周辺デバイス選択信号 12 が電源スイッチ 8 をオン状態とするので周辺デバイス Dev [r] 6 及びこのデバイス Dev [r] 6 に接続されたバスドライバ 4 に電源が供給されることになる。一方周辺デバイス選択信号 12 を除く周辺デバイス選択信号 11～13 は、Dev [r] 6 を除く周辺デバイス Dev [1] 5 ～ Dev [n] 7 の電源スイッチ 8 をオフ状態とするので、Dev [r] 6 を除く周辺デバイス Dev [1] 5 ～ Dev [n] 7、及びこれらデバイス接続された各バスドライバへの電源供給が停止されることになる。このようにしてデバイス Dev [r] 6 に対するアクセスが終了した時、プロセッサ 1 の指示によりデコーダ 3 はプロセッサ 1 のイネーブル信号 10 を CPU ライトサイクルの終了時にノンアクティブ (オフ) 状態にし、それまでアクセスしていたデバイス Dev [r] 6 の電源スイッチ 8 に対する周辺デバイス選択信号 12 をノンアクティブ (オフ) 状態にする。その結果、周辺デバイス選択信号 12 は電源スイッチ 8 をオフにし、周辺デバイス Dev [r] 6 および Dev [r] 6 につながるバスドライバ 4 への電源供給を停止する。尚、イネーブル信号 10 は CPU のリード/ライトサイクルにおいて、システムバス 2 上のアドレス/データ信号の出力に同期した CPU アクセスの信号として出力される。デコーダ 3 は上記イネーブル信号がアクティブ (オン) 状態の期間のシステムバス 2 上のアドレス出力信号をアドレスデコードし、該当する周辺デバイスの選択信号 (11～13) をアクティブ (オン) 状態にする。

【0011】実施例 2. 上記実施例では周辺デバイス選択信号を生成するために、プロセッサ 1 のシステムバス 2 入力による専用のデコーダを用いた電源制御回路を示したが、図 2 に示すように、プロセッサ 1 のポート出力信号 14 を直接選択信号の入力とするセクタ回路 15 を備えた電源制御回路によっても同様の動作を期待できる。ここで、セクタ回路 15 はプロセッサ 1 から出力される各周辺デバイスの選択信号 (11～13) に一対一で対応するポート出力信号 14 とその各ポート出力信号 14 のイネーブル/ディセーブルを決定するイネーブル信号 10 をゲート入力とする論理積の結果を、最終的に各周辺デバイスに対する選択信号 (11～13) として出力する。

【0012】実施例 3. また、本発明の第 3 の実施例について図 3 について説明する。図 3 において、プロセッサ 1 からの周辺デバイス指示信号 22 と、プロセッサ 1 が要求する任意のタイミングで出力するイネーブル信号 10 が周辺デバイス選択回路 17 に対して供給される。即ち、周辺デバイス 5～7 に 1 対 1 に対応する周辺デバイス指示信号 22 は、上記イネーブル信号 10 がアクテ

ィブ（オン）状態の期間において有効となり、周辺デバイス選択回路 17 からはプロセッサの周辺デバイス 5～7 に対するアクセスとは無関係にプロセッサ 1 が指示する周辺デバイスのみを選択するための電源供給指示信号 20 が出力される。一方プロセッサ 1 から任意の CPU タイミングで出力されるポート出力信号 16 がイニシャルリセット回路 18 に供給される回路構成とすることにより、該イニシャルリセット回路からは上記イネーブル信号 10 とは無関係にアクティブ（オン）／ノンアクティブ（オフ）状態を決定する為の選択装置のセット・リセット信号 21 が生成される。次いで、これら電源供給指示信号 20 と、選択装置セット・リセット信号 21 はセレクト回路 19 に供給され、ここで指定デバイスに対する最終的な ON、OFF 制御を行う為の電源供給選択信号 11～13 が生成される。これによって周辺デバイスに対するアクセスの手順が予め決まっている場合、プロセッサ 1 の任意の要求タイミングにて周辺デバイスへの電源供給を自由にオン／オフできる。例えば、プロセッサ 1 がデバイス Dev [r] 6 へ電源供給制御を行う場合、イネーブル信号 10 がアクティブ（オン）状態の期間に周辺デバイス指示信号 22 によりデバイス Dev [r] 6 をアクティブ（オン）状態にする電源供給指示信号 20 がセレクト回路 19 に入力される。一方プロセッサ 1 が予め決めたシーケンスに基づく CPU タイミングで、ポート出力信号 16 がイニシャル回路 18 に入力されて適宜アクティブ（オン）／ノンアクティブ（オフ）状態をとる選択装置セット・リセット信号 21 がセレクト回路 19 に入力される。その結果、セレクト回路 19 は電源供給指示信号 20 で指定された周辺デバイスに対して、選択装置セット・リセット信号 21 がノンアクティブ（オフ）状態の期間該当する周辺デバイス Dev [r] 6 の選択信号 12 をアクティブ（オン）状態にして周辺デバイス Dev [r] 6 の電源スイッチ 8 をオンし、Dev [r] 6 に電源が供給される。

【0013】実施例 4. また、この発明の第 4 の実施例について図 4 に基づいて説明する。周辺デバイスの電源供給のオン／オフ設定パターンが予め幾つかに設定できる場合、図 4 に示すように、専用のパターンジェネレータ 24、25 を追加することにより、プロセッサ 1 からのパターン指示信号 23 で、プロセッサからの最小限のインタフェース制御信号数で一定の周辺デバイスに対する電源供給パターン選択信号を生成し、パターン選択回路 26 を介して周辺デバイスに対する電源供給選択信号 11～13 を生成することにより、簡易な回路構成で電源供給制御を実現できる。例えば、パターンジェネレータ 24 が周辺デバイス Dev [r] 6 に対して電源供給するようにパターン信号を出力する場合、まず、プロセッサ 1 がパターンジェネレータ 24 をアクティブ（オン）状態にするようにパターン指示信号 23 を出力する。このパターン指示信号 23 を受けて、パターンジェ

ネレータ 24 は、周辺デバイス Dev [r] 6 を含む電源供給グループを生成するようなパターン信号を出力する。次に、パターン選択回路 26 は、このパターンジェネレータ 24 の出力するパターン信号と他のパターンジェネレータ 25 のパターン信号との論理演算の結果を最終的な電源供給周辺デバイスの選択信号（11～13）として出力する。この結果、周辺デバイスの選択信号 12 のみがアクティブ（オン）状態になり、周辺デバイス Dev [r] 6 にのみ電源が供給される。

【0014】実施例 5. またこの発明の第 5 の実施例について図 5 に基づいて説明する。図 5 に示すように、周辺デバイスに対する電源供給選択信号 11～13 の組合せパターン対応のコマンドレジスタを内蔵するパターンジェネレータ 27 を備えた電源制御回路でも同様の動作を期待できる。例えば、パターンジェネレータ 27 がプロセッサ 1 のシステムバス 2 に対し周辺デバイス Dev [r] 6 のみをアクティブ（オン）状態にする出力コマンドをシステムバス 2 を経由してパターンジェネレータ 27 に出力すれば、パターンジェネレータ 27 はこの出力コマンドを受けて周辺デバイス選択信号 12 のみをアクティブ（オン）状態にし、その結果、周辺デバイス Dev [r] 6 の電源供給選択信号 12 のみがアクティブ（オン）状態となり、周辺デバイス Dev [r] 6 にのみ電源が供給される。一方、プロセッサ 1 が周辺デバイス Dev [r] 6 のみをノンアクティブ（オフ）状態にする出力コマンドをシステムバス 2 を経由してパターンジェネレータ 27 に出力すれば、パターンジェネレータ 27 はこの出力コマンドを受けて周辺デバイス選択信号 12 のみをノンアクティブ（オフ）状態にし、その結果、周辺デバイス Dev [r] 6 の電源供給選択信号 12 がノンアクティブ（オフ）状態となり、周辺デバイス Dev [r] 6 への電源供給が停止される。

【0015】

【発明の効果】以上の様にこの発明によれば、プロセッサがアクセス対象とする周辺デバイスに対してのみ電源供給を行い、その他のアクセス対象としない周辺デバイス及びアクセス動作の終了したデバイスに対しては電源供給を停止可能とする様な電源制御回路としたので供給電源の無駄な消費量を低減することができるという効果がある。また、この発明によればアクセス対象とする周辺デバイスのみを常時選択状態としておき、これとは別に独立したコマンドデータによって該周辺デバイスに対するアクティブ／ノンアクティブのタイミング制御を行うようにしたので、きめ細かな電源オン／オフ制御を実現できるという効果がある。さらに、この発明によれば、複数のパターンジェネレータ回路の組合せによって最終的に目的とする周辺デバイスを選択する様にしたので電源投入の対象とする複数の周辺デバイス群をプログラムの制御内容に応じて任意のグループに分類したり階層構造別に分割する事ができるという効果を奏する。

【図面の簡単な説明】

【図1】この発明の第1の実施例によるプロセッサ周辺部電源制御回路のブロック図である。

【図2】この発明の第2の実施例によるプロセッサ周辺部電源制御回路のブロック図である。

【図3】この発明の第3の実施例によるプロセッサ周辺部電源制御回路のブロック図である。

【図4】この発明の第4の実施例によるプロセッサ周辺部電源制御回路のブロック図である。

【図5】この発明の第5の実施例によるプロセッサ周辺部電源制御回路のブロック図である。

【図6】従来のプロセッサ周辺部電源制御回路のブロック図である。

【符号の説明】

- 1 プロセッサ
- 2 システムバス
- 3 デコーダ回路
- 4 バスドライバ

5～7 周辺デバイス群

8 電源スイッチ

9 供給電源

10 プロセッサのイネーブル信号

11～13 周辺デバイス電源供給選択信号

14 プロセッサのポート出力信号

15 セレクタ回路

16 プロセッサのポート出力信号

17 周辺デバイス選択回路

18 イニシャルリセット回路

19 セレクタ回路

20 周辺デバイス電源供給選択信号

21 選択装置セット・リセット信号

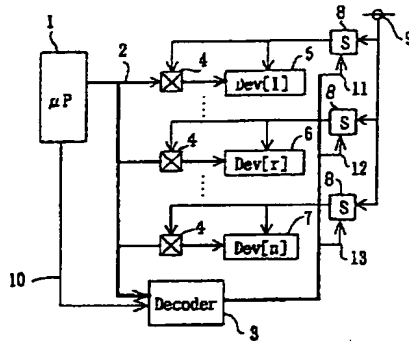
22 周辺デバイス指示信号

23 パターン指示信号

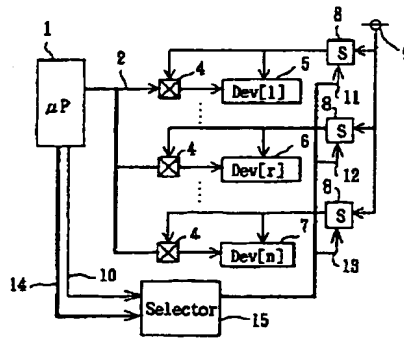
24、25、27 パターンジェネレータ

26 パターン選択回路

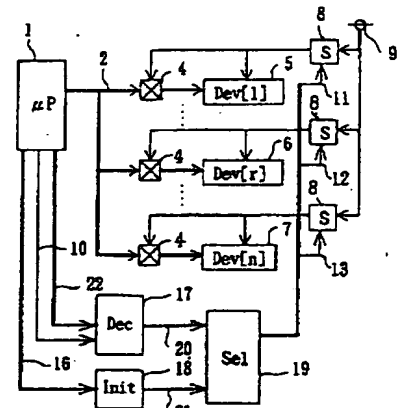
【図1】



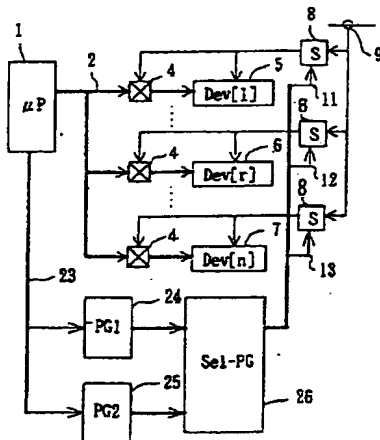
【図2】



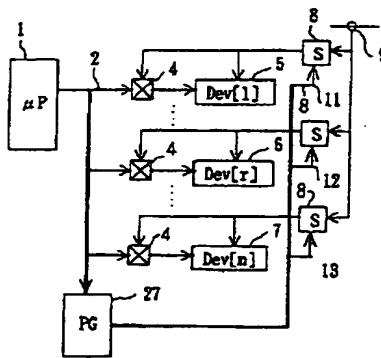
【図3】



【図4】



【図5】



【図6】

